

## The Delphion Integrated View

Buy Now:  PDF | File History | Other choicesTools: Add to Work File:  Create new Work File View: [Expand Details](#) | [INPADOC](#) | Jump to: [Top](#)Go to: [Derwent](#)[Email this to a](#)

>Title: **WO9812620A1: MICROCOMPUTER HAVING RESET CONTROL FUNCTION**  
[\[French\]](#)  
[\[Derwent Title\]](#)

Country: **WO World Intellectual Property Organization (WIPO)**  
Kind: **A1 Publ.of the Int.Appl. with Int.search report**

Inventor: **NISHIUCHI, Taiki; Mitsubishi Denki Engineering Kabushiki Kaisha, 6-2, Otemachi 2-chome, Chiyoda-ku, Tokyo 100, Japan**  
**KITAGUCHI, Yuji; Mitsubishi Denki Engineering Kabushiki Kaisha, 6-2, Otemachi 2-chome, Chiyoda-ku, Tokyo 100, Japan**

Assignee: **MITSUBISHI DENKI ENGINEERING KABUSHIKI KAISHA, 6-2, Otemachi 2-chome, Chiyoda-ku, Tokyo 100, Japan**  
[News, Profiles, Stocks and More about this company](#)

Published / Filed: **1998-03-26 / 1996-09-20**

Application Number: **WO1996JP0002725**

IPC Code: Advanced: **G06F 1/24;**  
Core: more...  
IPC-7: **G06F 1/24;**

ECLA Code: **G06F1/24;**

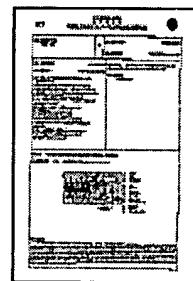
Priority Number: **1996-09-20 WO1996JP0002725**

Abstract: A microcomputer comprising a central processing unit for executing collective processings; a peripheral unit for executing predetermined operations; a hardware-resettable peripheral register for setting the operation of the peripheral unit; a first flag for storing information on whether or not the reset operation of the central processing unit by an external reset signal is the first since the power is on; and a reset control unit for delivering a register reset signal for hardware resetting of the peripheral register when the external reset signal is inputted under the state where the information stored in the first flag represents the first reset operation, and inhibiting the output of the register reset signal when the external reset signal is inputted under the state where the information stored in the first flag represents that the reset operation is not the first reset operation. [\[French\]](#) [\[Japanese\]](#)

Representative Image: [\[Show "fr" image\]](#)

Attorney, Agent or Firm: **TAZAWA, Hiroaki ;**  
[Show legal status actions](#) [Buy Now: Family Legal Status Report](#)

INPADOC Legal Status: **CN JP KR US, European patent: AT BE CH DE DK ES FI FR GB GR IE IT LU MC NL PT SE**

High  
ResolLow  
Resol

54 p

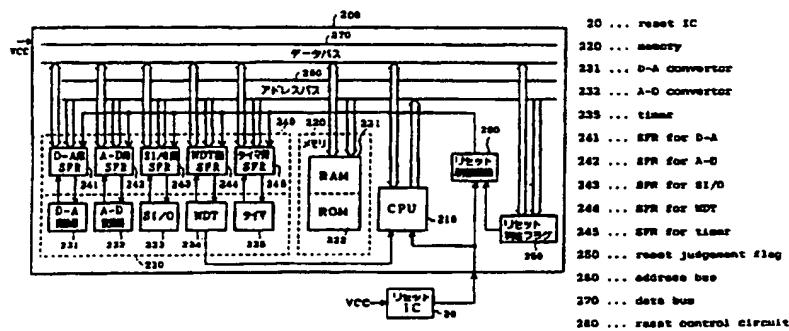
Best Available Copy



(51) 国際特許分類6 G06F 1/24	A1	(11) 国際公開番号 WO98/12620 (43) 国際公開日 1998年3月26日(26.03.98)
(21) 国際出願番号 PCT/JP96/02725 (22) 国際出願日 1996年9月20日(20.09.96) (71) 出願人 (米国を除くすべての指定国について) 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA)[JP/JP] 〒100 東京都千代田区丸の内二丁目2番3号 Tokyo, (JP) 三菱電機エンジニアリング株式会社(MITSUBISHI DENKI ENGINEERING KABUSHIKI KAISHA)[JP/JP] 〒100 東京都千代田区大手町二丁目6番2号 Tokyo, (JP) (72) 発明者 ; および (75) 発明者／出願人 (米国についてのみ) 西内泰樹(NISHIUCHI, Taiki)[JP/JP] 北口裕次(KITAGUCHI, Yuji)[JP/JP] 〒100 東京都千代田区大手町二丁目6番2号 三菱電機エンジニアリング株式会社内 Tokyo, (JP) (74) 代理人 弁理士 田澤博昭, 外(TAZAWA, Hiroaki et al.) 〒100 東京都千代田区霞が関三丁目5番1号 霞が関IHFビル4階 Tokyo, (JP)	(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). 添付公開書類 国際調査報告書	

## (54)Title: MICROCOMPUTER HAVING RESET CONTROL FUNCTION

(54)発明の名称 リセット制御機能を有するマイクロコンピュータ



## (57) Abstract

A microcomputer comprising a central processing unit for executing collective processings; a peripheral unit for executing predetermined operations; a hardware-resettable peripheral register for setting the operation of the peripheral unit; a first flag for storing information on whether or not the reset operation of the central processing unit by an external reset signal is the first since the power is on; and a reset control unit for delivering a register reset signal for hardware resetting of the peripheral register when the external reset signal is inputted under the state where the information stored in the first flag represents the first reset operation, and inhibiting the output of the register reset signal when the external reset signal is inputted under the state where the information stored in the first flag represents that the reset operation is not the first reset operation.

(57) 要約

統括的処理を実行する中央処理部と、所定の動作を行うための周辺機能部と、ハードウェア的にリセット可能で、周辺機能部の動作を設定するための周辺機能レジスタ部と、外部リセット信号の入力による中央処理部のリセット動作がマイクロコンピュータの電源投入時から最初のリセット動作であるか否かについての情報を格納する第1のフラグと、第1のフラグに格納されている情報が最初のリセット動作であることを示す場合に外部リセット信号が入力されたときには周辺機能レジスタ部をハードウェア的にリセットするレジスタリセット信号を送出し、第1のフラグに格納されている情報が最初のリセット動作でないことを示す場合に外部リセット信号が入力されたときにはレジスタリセット信号を送出しないようにして周辺機能レジスタ部のリセット制御を実行するリセット制御部とを有するマイクロコンピュータである。

PCTに基づいて公開される国際出願のパンフレット第一頁に記載されたPCT加盟国を同定するために使用されるコード（参考情報）

AL	アルバニア	ES	スペイン	LK	スリランカ	SE	スウェーデン
AM	アルメニア	FI	フィンランド	LR	リベリア	SG	シンガポール
AT	オーストリア	FR	フランス	LS	レソト	S I	スロヴェニア
AU	オーストラリア	GA	ガボン	LT	リトアニア	SK	スロヴァキア共和国
AZ	アゼルバイジャン	GB	英國	LU	ルクセンブルク	SL	シエラレオネ
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	LV	ラトヴィア	SN	セネガル
BB	バルバドス	GH	ガーナ	MC	モナコ	SZ	スウェーデン
BE	ベルギー	GM	ガンビア	MD	モルドヴァ共和国	TD	チャード
BF	ブルガリア・ファン	GN	ギニア	MG	マダガスカル	TG	トーゴ
BG	ブルガリア	GW	ギニアビサウ	MK	マケドニア旧ユーゴス	TJ	タジキスタン
BJ	ベナン	GR	ギリシャ	ML	ラヴィア共和国	TM	トルクメニスタン
BR	ブラジル	HU	ハンガリー	MN	マリ	TR	トルコ
BY	ベラルーシ	ID	インドネシア	MR	モンゴル	TT	トリニダード・トバゴ
CA	カナダ	IE	アイルランド	MW	モーリタニア	UA	ウクライナ
CF	中央アフリカ共和国	IL	イスラエル	MX	モーリシャス	UG	ウガンダ
CG	コンゴー	IS	アイスランド	NE	モーリタニア	US	米国
CH	スイス	IT	イタリア	NL	モーリシャス	UZ	ウズベキスタン
C I	コート・ジボアール	JP	日本	NO	モーリシャス	VN	ベトナム
CM	カメルーン	KE	ケニア	NZ	モーリシャス	YU	ユーゴスラビア
CN	中国	KG	キルギスタン	P L	モーリシャス	ZW	ジンバブエ
CU	キューバ	KP	朝鮮民主主義人民共和国	P T	モーリシャス		
CZ	チェコ共和国	KR	大韓民国	R O	モーリシャス		
DE	ドイツ	KZ	カザフスタン	R O U	モーリシャス		
DK	デンマーク	LC	セントルシア	R U	モーリシャス		
EE	エストニア	LI	リヒテンシュタイン	S D	モーリシャス		